

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-114652

(43)Date of publication of application : 07.05.1993

(51)Int.Cl.

H01L 21/82
H01L 21/3205
H01L 21/90

(21)Application number : 03-275815

(71)Applicant : FUJITSU LTD

(22)Date of filing : 23.10.1991

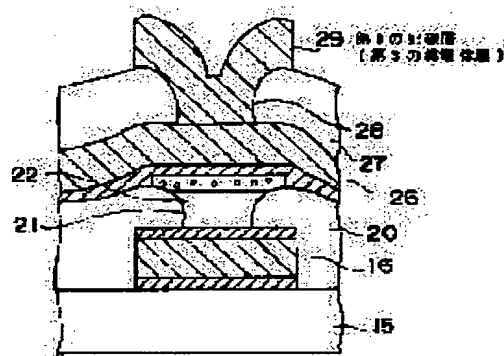
(72)Inventor : KURITA KAZUYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent a step coverage from deterioration and produce a higher density by allowing a second opening section to exist on the upper side of a first opening section, burying a buried conductor on the first opening section and connecting a first conductor layer to a second conductor layer.

CONSTITUTION: A second via hole 28 is located on an upper side of a first via hole 21 formation area where an embedded conductor 22 is buried in the first via hole 21. A first wiring layer 16 is connected to a second wiring layer 26 by way of the conductor. Even when the second via hole is located on the upper side of the formation area of the first via hole 21, a dented portion of the first via hole is not communicated to the via hole 28, which prevents the deterioration of a step coverage of a third wiring layer 29 (first conductor layer) formed by coating the second via hole 28. It is, therefore, possible to protect the step coverage from further deterioration and produce a higher density.



LEGAL STATUS

[Date of request for examination]	05.09.1997
[Date of sending the examiner's decision of rejection]	14.11.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3318933
[Date of registration]	21.06.2002
[Number of appeal against examiner's decision of rejection]	2000-19830
[Date of requesting appeal against examiner's decision of rejection]	14.12.2000

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-114652

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
21/3205				
21/90	B	7353-4M		
		9169-4M	H 0 1 L 21/ 82	F
		7353-4M	21/ 88	M
			審査請求 未請求 請求項の数4(全 6 頁)	

(21)出願番号 特願平3-275815

(22)出願日 平成3年(1991)10月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 栗田 和行

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡本 啓三

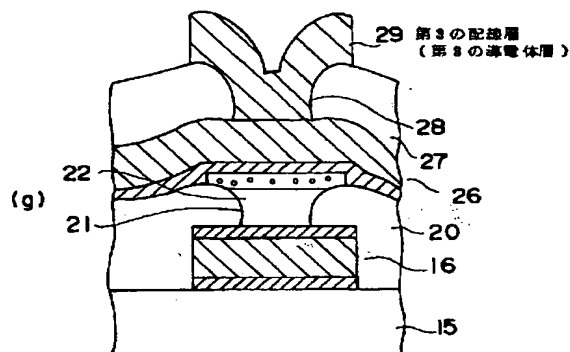
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】本発明は、配線接続部にアンチヒューズを有するFPGAなどの半導体装置に関し、配線層が多層化された場合でも、ステップカバレッジの悪化を防止しつつ、高密度化が可能なFPGA等の半導体装置を提供することを目的とする。

【構成】少なくとも第1、第2及び第3の導電体層16、26、29が各導電体層16、26、29間にそれぞれ第1及び第2の層間絶縁膜20、27を介在させて基板15上に積層され、第1の層間絶縁膜20の第1の開口部21を介して第1及び第2の導電体層16、26が接続され、かつ第2の層間絶縁膜27の第2の開口部28を介して第2及び第3の導電体層26、29が接続されている半導体装置において、第2の開口部28は第1の開口部21の形成領域の上側にあり、かつ少なくとも第1の開口部21には埋込み導電体22が埋め込まれ、埋込み導電体22を介して第1及び第2の導電体層16、26が接続されていることを含み構成する。

本発明の第1の実施例について説明する断面図(その3)



【 特許請求の範囲】

【請求項1】 少なくとも第1、第2及び第3の導電体層が各導電体層間にそれぞれ第1及び第2の層間絶縁膜を介在させて基板上に積層され、前記第1の層間絶縁膜の第1の開口部を介して第1及び第2の導電体層が接続され、かつ前記第2の層間絶縁膜の第2の開口部を介して第2及び第3の導電体層が接続されている半導体装置であって、

前記第2の開口部は前記第1の開口部の形成領域の上側にあり、かつ少なくとも第1の開口部には埋込み導電体が埋め込まれ、該埋込み導電体を介して第1及び第2の導電体層が接続されていることを特徴とする半導体装置。

【請求項2】 前記第1又は第2の開口部においてそれぞれ接続されている前記第1及び第2の導電体層間或いは前記第2及び第3の導電体層間のうち少なくともいずれか一方の導電体層間に非晶質半導体層が介在し、かつ該非晶質半導体層と接する、前記第1の導電体層の最上層或いは前記第2の導電体層の最下層のうち少なくともいずれか一方、又は、前記第2の導電体層の最上層或いは前記第3の導電体層の最下層のうち少なくともいずれか一方の層は高融点金属を含む導電体層であり、前記埋込み導電体は高融点金属を含む導電体であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1、第2及び第3の導電体層は配線層であることを特徴とする請求項1又は請求項2記載の半導体装置。

【請求項4】 前記第1の導電体層は半導体基板であり、第2及び第3の導電体層は配線層であることを特徴とする請求項1又は請求項2記載の半導体装置。

【 発明の詳細な説明】

【 0001】

(目次)

- ・ 産業上の利用分野
- ・ 従来の技術 (図5)
- ・ 発明が解決しようとする課題
- ・ 課題を解決するための手段
- ・ 作用
- ・ 実施例

(1) 第1の実施例 (図1 ~ 図3)

(2) 第2の実施例 (図4)

- ・ 発明の効果

【 0002】

【 産業上の利用分野】 本発明は、半導体装置に関し、更に詳しく言えば、配線接続部にアンチヒューズを有するフィールドプログラマブルゲートアレイ (F P G A) などの半導体装置に関する。

【 0003】 近年、半導体装置の多様な応用と顧客の多様なニーズに応えるため、ゲートアレイとスタンダードセルの中間的な位置づけとしてフィールドプログラマ

ブルゲートアレイ (F P G A) と呼ばれるデバイスが脚光を浴びている。これは、顧客自身が任意の回路構成を行うことを可能とするもので、原理は、アンチヒューズ等を配線接続部に介在させ、顧客自身が電氣的に配線間を接続等できるようにしたものである。

【 0004】

【 従来の技術】 図5 (a) 従来例の配線接続部にアンチヒューズを有するF P G Aについて説明する断面図である。

【 0005】 図5 (a) において、1は半導体基板及び半導体基板上の下地絶縁膜からなる基板、2は基板1上の第1の配線層で、A1合金層4が高融点金属を含むバリア導電体層3、5により挟まれた構造となっている。6は第1の配線層2を被覆する第1の層間絶縁膜、7は第1の配線層2上の第1の層間絶縁膜6に形成されたビアホール、8はビアホール7の底部のバリア導電体層5に接し、かつバリア導電体層5を被覆するように選択的に形成されている非晶質シリコン層、9は非晶質シリコン層8と接し、かつ非晶質シリコン層8を被覆する第2の配線層で、下層から順にバリア導電体層10 / A1合金層11の構成となっている。12は第2の配線層9を被覆する第2の層間絶縁膜、13は第2の層間絶縁膜12に形成された第2のビアホール14を介して第2の配線層9と接続された第3の配線層である。なお、バリア導電体層5、10はそれぞれA1合金層4、11と非晶質シリコン層8との反応を防止するために介在している。

【 0006】 このようなF P G Aにおいては、顧客が、所定の配線接続に基づいて、第1の配線層2と第2の配線層9との間に電圧を印加することにより、非晶質シリコン層8を多結晶化して、高抵抗状態から低抵抗状態へと変化させる。その結果、第1の配線層2と第2の配線層9とが電氣的に導通し、F P G Aは所望の機能を有するようになる。

【 0007】

【 発明が解決しようとする課題】 ところで、近年の高密度化の要請により、図5 (b) に示すような配線接続方法が採られるようになってきている。即ち、第3の配線層13aを第1の配線層2と第2の配線層9とを接続するビアホール7の上側に配置するようになってきている。

【 0008】 しかし、この場合、上側のビアホール14aには下側のビアホール7の凹みそのまま引き継がれるため、ビアホール14aを被覆して形成される第3の配線層13aのステップカバレッジが悪化するという問題がある。この問題は、更に多くの多層配線が積層される場合には、半導体装置の高密度化の妨げになる。

【 0009】 本発明は、かかる従来の問題点に鑑みてなされたもので、配線層が多層化された場合でも、ステップカバレッジの悪化を防止しつつ、高密度化が可能なF P G A等の半導体装置を提供することを目的とするもの

10

20

30

40

50

3

である。

【 0 0 1 0 】

【課題を解決するための手段】上記課題は、第1 に、少なくとも第1、第2 及び第3 の導電体層が各導電体層間にそれぞれ第1 及び第2 の層間絶縁膜を介在させて基板上に積層され、前記第1 の層間絶縁膜の第1 の開口部を介して第1 及び第2 の導電体層が接続され、かつ前記第2 の層間絶縁膜の第2 の開口部を介して第2 及び第3 の導電体層が接続されている半導体装置であって、前記第2 の開口部は前記第1 の開口部の形成領域の上側にあり、かつ少なくとも第1 の開口部には埋込み導電体が埋め込まれ、該埋込み導電体を介して第1 及び第2 の導電体層が接続されていることを特徴とする半導体装置によって達成され、第2 に、前記第1 又は第2 の開口部においてそれぞれ接続されている前記第1 及び第2 の導電体層間或いは前記第2 及び第3 の導電体層間のうち少なくともいずれか一方の導電体層間に非晶質半導体層が介在し、かつ該非晶質半導体層と接する、前記第1 の導電体層の最上層或いは前記第2 の導電体の最下層のうち少なくともいずれか一方、又は、前記第2 の導電体層の最上層或いは前記第3 の導電体の最下層のうち少なくともいずれか一方の層は高融点金属を含む導電体層であり、前記埋込み導電体は高融点金属を含む導電体であることを特徴とする第1 の発明に記載の半導体装置によって達成され、第3 に、前記第1、第2 及び第3 の導電体層は配線層であることを特徴とする第1 又は第2 の発明に記載の半導体装置によって達成され、第4 に、前記第1 の導電体層は半導体基板であり、第2 及び第3 の導電体層は配線層であることを特徴とする第1 又は第2 の発明に記載の半導体装置によって達成される。

【 0 0 1 1 】

【作用】本発明の半導体装置においては、第2 の開口部は第1 の開口部の形成領域の上側にあり、かつ少なくとも第1 の開口部には埋込み導電体が埋め込まれ、埋込み導電体を介して第1 及び第2 の導電体層が接続されている。

【 0 0 1 2 】従って、第2 の開口部が第1 の開口部の形成領域の上側にあっても、第1 の開口部の凹みは第2 の開口部に引き継がれることはないので、第2 の開口部を被覆して形成される第3 の導電体層のステップカバレッジの悪化を防止することができる。これにより、ステップカバレッジの悪化を防止しつつ、高密度化を図ることができる。

【 0 0 1 3 】また、上記の構成で、第1 及び第2 の導電体層間或いは第2 及び第3 の導電体層間のうち少なくともいずれか一方の導電体層間に非晶質半導体層を介在させることにより、アンチヒューズを有するFPGA等に適用することができる。

【 0 0 1 4 】しかも、非晶質半導体層と接する、第1、第2 或いは第3 の導電体層の一部の層が高融点金属を含

4

む導電体層であり、かつ埋込み導電体も高融点金属を含む導電体であるので、これらの導電体層或いは導電体をバリア導電体層として用いることにより、第1、第2 或いは第3 の導電体層と非晶質半導体層との反応を防止することができ、製造工程上安定性のあるアンチヒューズを提供することができる。

【 0 0 1 5 】

【実施例】(1) 第1 の実施例

図1 (a) ~ (c)、図2 (d) ~ (f)、図3 (g) は、本発明の第1 の実施例のアンチヒューズを有するFPGAの作成方法について説明する断面図である。

【 0 0 1 6 】図1 (a) は、配線層上の層間絶縁膜にビアホールが形成された後の状態を示す断面図で、図中符号1 5 は半導体基板及び半導体基板上の下地絶縁膜からなる基板1 5、1 6 は基板1 5 上に形成された第1 の配線層(第1 の導電体層) で、下層から順次膜厚約1000ÅのTi N膜からなるバリア導電体層1 7 /膜厚約5000ÅのAl 合金膜からなる主配線層1 8 /膜厚約1000ÅのTi N膜からなるバリア導電体層1 9 となるように、スパッタリングにより形成されている。2 0 は膜厚約1 μmのPSG膜からなる第1 の層間絶縁膜、2 1 は第1 の配線層1 6 上の第1 の層間絶縁膜2 0 に形成された第1 のビアホール(第1 の開口部) である。

【 0 0 1 7 】このような状態で、まず、図1 (b) に示すように、CVD法によりビアホール2 1 底部のバリア導電体層1 9 上にタングステン(W) 膜を選択的に形成する。これにより、ビアホール2 1 内にはW膜からなる埋込み導電体2 2 が埋め込まれ、平坦化される。

【 0 0 1 8 】次いで、図1 (c) に示すように、CVD法により、埋込み導電体2 2 を被覆して膜厚約1000Åの非晶質シリコン層(非晶質半導体層) 2 3 を形成する。次に、図2 (d) に示すように、埋込み導電体2 2 を被覆するように非晶質シリコン層2 3 をパターニングしてアンチヒューズ23a を形成する。

【 0 0 1 9 】次いで、図2 (e) に示すように、膜厚約1000ÅのTi N膜/膜厚約5000ÅのAl 合金膜をスパッタリングにより順次形成した後、アンチヒューズ23a を被覆するようにパターニングしてTi N膜のバリア導電体層2 4 /Al 合金膜の主配線層2 5 の2 層の導電体層からなる第2 の配線層(第2 の導電体層) 2 6 を形成する。

【 0 0 2 0 】次に、CVD法により膜厚約1 μmのPSG膜からなる第2 の層間絶縁膜2 7 を形成した後、パターニングして第1 のビアホール2 1 の形成領域の上側の第2 の層間絶縁膜2 7 に第2 のビアホール(第2 の開口部) 2 8 を形成する。このとき、第2 のビアホール2 8 の下側の第1 のビアホール2 1 には埋込み導電体2 2 が埋め込まれて平坦化されているので、第2 のビアホール2 8 には従来のように下側の第1 のビアホール2 1 の凹みが引き継がれず、ほぼ第2 のビアホール2 8 の膜厚程

5

度の凹みが生じているに過ぎない(図2 (f)) 。

【 0 0 2 1 】 次いで、図3 (g) に示すように、膜厚約 1 μ m の Al 合金膜をスパッタリングにより形成した後、第2 のビアホール2 8 を被覆するようにパターンニングして第3 の配線層2 9 を形成する。このとき、以上のように、本発明の第1 の実施例の F P G A においては、第2 のビアホール2 8 は第1 のビアホール2 1 の形成領域の上側にあり、かつ第1 のビアホール2 1 には埋込み導電体2 2 が埋め込まれ、埋込み導電体2 2 を介して第1 及び第2 の配線層1 6 , 2 6 が接続されている。

【 0 0 2 2 】 従って、第2 のビアホール2 8 が第1 のビアホール2 1 の形成領域の上側にあっても、第1 のビアホール2 1 の凹みは第2 のビアホール2 8 に引き継がれることはないので、第2 のビアホール2 8 を被覆して形成される第3 の配線層2 9 のステップカバレッジの悪化を防止することができる。これにより、ステップカバレッジの悪化を防止しつつ、高密度化を図ることができる。

【 0 0 2 3 】 また、非晶質シリコン層2 3 と接する、第1 の配線層1 6 の上層及び第2 の配線層2 6 の下層が T i N 膜からなる高融点金属膜であり、かつ埋込み導電体2 2 も W 膜からなる高融点金属体であるので、これらの導電体層1 9 , 2 4 或いは埋込み導電体2 2 は非晶質シリコン層2 3 と Al 合金膜からなる主配線層1 8 , 2 5 との間の相互拡散のバリアとなるので、第1 及び第2 の配線層1 6 , 2 6 と非晶質シリコン層2 3 との反応を防止することができ、製造工程上安定性のあるアンチヒューズ2 3 a を提供することができる。

【 0 0 2 4 】 なお、実施例では、第1 の配線層1 6 の下層及び上層にバリア導電体層1 7 , 1 9 を形成しているが、埋込み導電体2 2 が W 膜からなる高融点金属体であるので、埋込み導電体2 2 が Al 合金膜1 8 に対してバリア層になる。従って、バリア導電体層1 7 , 1 9 をともに形成せずに Al 合金膜1 8 のみで第1 の配線層を構成してもよい。

【 0 0 2 5 】 また、バリア導電体層1 7 , 1 9 , 2 4 として T i N 膜を用いているが、T i W 膜等バリア性を有する他の高融点金属を含む導電体層を用いてもよいし、或いは Mo 膜, W 膜, T i 膜等バリア性を有する高融点金属膜のみを用いてもよい。

【 0 0 2 6 】 更に、第1 の導電体層を第1 の配線層1 6 としているが、ドレイン領域層等の形成された半導体基板としてもよい。また、非晶質半導体層として非晶質シリコン層2 3 を用いているが、他の非晶質半導体層を用いることもできる。

【 0 0 2 7 】 更に、3 層の配線層1 6 , 2 6 , 2 9 の場合に適用しているが、4 層以上の配線層にも適用可能である。また、第2 のビアホール2 8 内には埋込み導電体2 2 が埋め込まれていないが、第2 のビアホール2 8 内に埋め込んでよい。これにより、第3 の配線層のステップ

6

カバレッジを向上させることができる。

【 0 0 2 8 】 更に、第1 の配線層1 6 に接して埋込み導電体2 2 を形成した後、この埋込み導電体2 2 を被覆して非晶質シリコン層2 3 が形成されているが、第1 の配線層に接して非晶質シリコン層を選択的に形成した後、非晶質シリコン層を被覆して埋込み導電体を形成することも可能である。

【 0 0 2 9 】 また、第1 及び第2 の配線層1 6 , 2 6 間にアンチヒューズ2 3 a としての非晶質シリコン層を介在させているが、非晶質シリコン層を介在させない通常の配線層間等の接続にも適用することができる。

【 0 0 3 0 】 更に、埋込み導電体2 2 を C V D 法による選択成長により形成しているが、C V D 法によるブランケット成長により全面に導電体を形成し、その後エッチバックして形成することもできる。

【 0 0 3 1 】 (2) 第2 の実施例

次に、第2 の実施例について図4 を参照しながら説明する。図4 において、図3 (g) と異なるところは、第1 の配線層1 6 と第2 の配線層3 0 との間にアンチヒューズ2 3 a が設けられているほかに、第2 の配線層3 0 と第3 の配線層3 6 との間にもアンチヒューズ3 5 が設けられていることである。これにより、更に複雑な論理構成に対応することが可能である。また、これに伴い第2 の配線層3 0 の上層、及び第3 の配線層3 6 の下層にバリア導電体層3 1 , 3 7 が形成されていることである。更に、第2 のビアホール(第2 の開口部) 3 3 内にも埋込み導電体3 4 が埋め込まれていることである。

【 0 0 3 2 】 このような本発明の第2 の実施例の F P G A によれば、第2 のビアホール3 3 が第1 のビアホール2 1 の形成領域の上側にあっても、第1 のビアホール2 1 の凹みは第2 のビアホール3 3 に引き継がれることはなく、また、第2 のビアホール3 3 にも埋込み導電体3 4 が埋め込まれているので、第2 のビアホール3 3 を被覆して形成される第3 の配線層3 6 のステップカバレッジの悪化を防止することができる。

【 0 0 3 3 】 これにより、ステップカバレッジの悪化を防止しつつ、高密度化を図ることができる。

【 0 0 3 4 】

【 発明の効果 】 以上のように、本発明の半導体装置においては、第2 の開口部は第1 の開口部の形成領域の上側にあり、かつ少なくとも第1 の開口部には埋込み導電体2 2 が埋め込まれ、埋込み導電体2 2 を介して第1 及び第2 の導電体層が接続されている。

【 0 0 3 5 】 従って、第2 の開口部が第1 の開口部の形成領域の上側にあっても、第1 の開口部の凹みは第2 の開口部に引き継がれることはないので、ステップカバレッジの悪化を防止しつつ、高密度化を図ることができる。

【 0 0 3 6 】 また、第1 及び第2 の導電体層間或いは第2 及び第3 の導電体層間のうち少なくともいずれか一方

の導電体層間に非晶質半導体層を介在させることにより、アンチヒューズを有するFPGA等に適用することができる。しかも、非晶質半導体層と接する層や埋込み導電体が高融点金属を含む層であるので、これらの層は第1、第2 或いは第3 の導電体層と非晶質半導体層との間のバリアとして作用する。従って、第1、第2 或いは第3 の導電体層と非晶質半導体層との反応を防止することができ、製造工程上安定性のあるアンチヒューズを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1 の実施例について説明する断面図（その1）である。

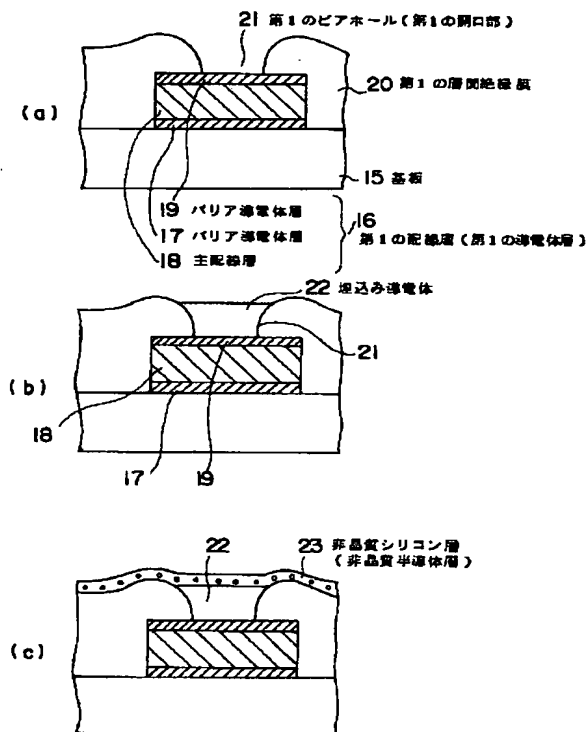
【図2】本発明の第1 の実施例について説明する断面図（その2）である。

【図3】本発明の第1 の実施例について説明する断面図（その3）である。

【図4】本発明の第2 の実施例について説明する断面図

【図1】

本発明の第1 の実施例について説明する断面図（その1）



である。

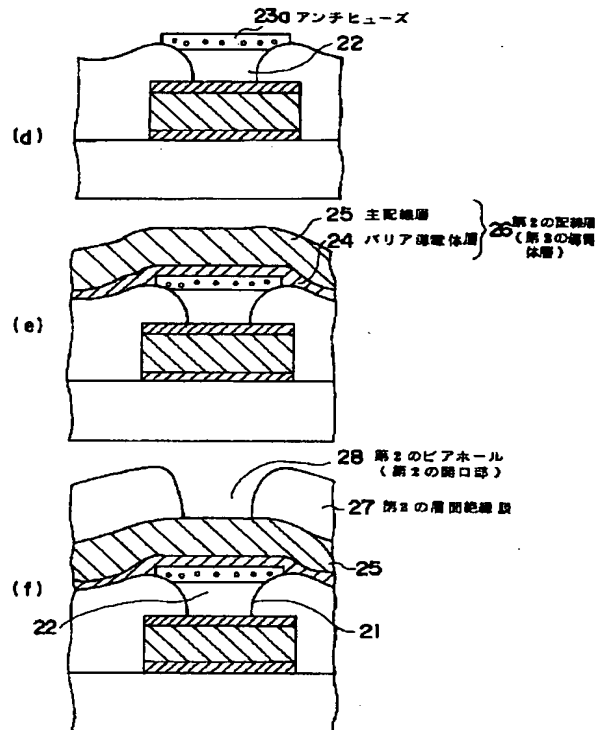
【図5】従来例について説明する断面図である。

【符号の説明】

- 15 基板、
- 16 第1 の配線層（第1 の導電体層）、
- 17, 19, 24, 31, 37 バリア導電体層、
- 18, 25, 38 主配線層、
- 20 第1 の層間絶縁膜、
- 21 第1 のビアホール（第1 の開口部）、
- 22, 34 埋込み導電体、
- 23 非晶質シリコン層（非晶質半導体層）、
- 23a, 35 アンチヒューズ、
- 25, 30 第2 の配線層（第2 の導電体層）、
- 27, 32 第2 の層間絶縁膜、
- 28, 33 第2 のビアホール（第2 の開口部）、
- 29, 36 第3 の配線層（第3 の導電体層）。

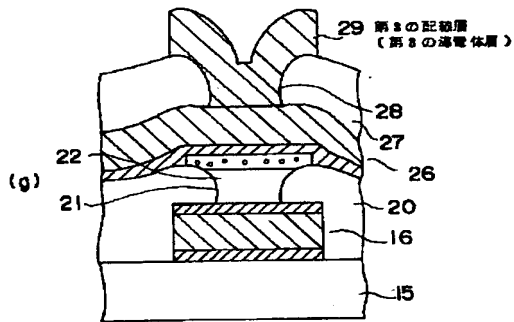
【図2】

本発明の第1 の実施例について説明する断面図（その2）



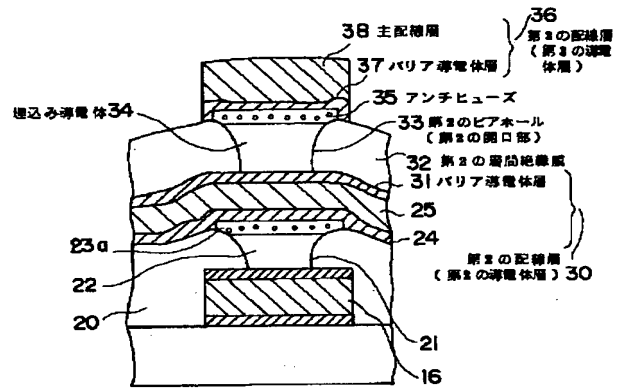
【 図3 】

本発明の第1の実施例について説明する断面図(その3)



【 図4 】

本発明の第2の実施例について説明する断面図



【 図5 】

従来例について説明する断面図

